DHBW Mannheim, Außenstelle Eppelheim
MA-TMT13AM3/4: Angewandte Elektronik 2: Teilklausur Elektronik 2015-06, Bayer **Kommentierte MUSTERLÖSUNG** r1.3.0 ▼

Deckblatt

Blätter inkl. Deckblatt **13**

el2 bayer 2015-06

DHBW Duale Hochschule Baden-Württemberg Mannheim

DHBW Mannheim, Außenstelle Eppelheim
MA-TMT13AM3/4
Angewandte Elektronik 2: Teilklausur Elektronik 2015-06, Bayer **17. Juni 2015**

Dozent Rainer Bayer, Dipl.-Ing. FH Elektronik

Name, Vorname _____ **Matrikel-Nummer** auf jedem Blatt oben eintragen

Studienjahrgang MA-TMT13AM **Gruppe** 3 **Semester** 4

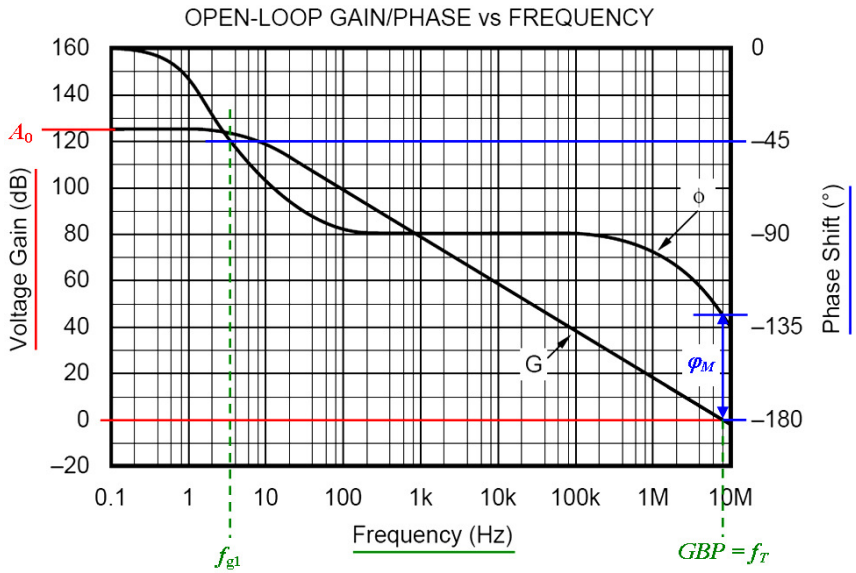
Hilfsmittel keine, außer: nicht-kommunikationsfähiger Taschenrechner **Zeit** 75 min

Bewertung Maximale Punktzahl _____ Erreichte Punktzahl _____

Datum / Signum _____ Ergebnis _____

Aufg.	Thema	Blatt	Punkte max.	Punkte erzielt	Bem.
1	OP: Unbeschalteter OP	2	12		
2	OP: Nicht-invertierender u/u-Verstärker	4	20		
3	OP: Ausgangsspannungsbereich, Slewrate	6	10		
4	OP: Schmitt-Trigger mit Hilfsspannung	8	14		
5	MOSFET: Leistungsschalter	10	14		
6	CMOS: Logikgatter	12	14		
Σ			84		

1 OP: Unbeschalteter OP 12



a) abgelesen: $A_{0(\mathrm{dB})} = 125\ \mathrm{dB}$; $A_0 = 10^{\frac{A0(\mathrm{dB})}{20}} = 10^{\frac{125}{20}} = 1{,}78 \cdot 10^6$ 2

b) allgemein: $A(f_{g1}) = A_{0(\mathrm{dB})} - 3\ \mathrm{dB}$; 2
hier:
– handelt es sich um einen Dominanzpol-kompensierten OP, da $A(f) = G$ nur einen „Knick" bis $GBP = f_T$ hat;
– andere Argumentation: $f_{g1} << f_{g2}$ (f_{g2} liegt außerhalb des Diagramms)
→ am präzisesten liest man in diesem Fall ab bei $\Phi = -45°$: $f_{g1} \cong 3{,}3\ \mathrm{Hz}$

c) GBP = Transitfrequenz f_T: $A(f_T) = 0\ \mathrm{dB} \mathrel{\hat{=}} 1 \rightarrow GBP = f_T = 8\ \mathrm{MHz}$ 2

d) $\varphi_M \cong 50°$ 2

1 OP: Unbeschalteter OP (fortgesetzt)

e) Ist bei Phase-Shift $\Phi = -180°$ (was einer Phasenreserve von $\varphi_M = 0$ entspricht) die Verstärkung $A(f) < 0$ dB $\hat{=} < 1$, ist der OP mindestens grenzwertig unity-Gain-stable. Φ ist soweit nicht gezeichnet. Man prüft hier deshalb, ob bei $GBP = f_T$ [s. Teilaufg c)] eine Phasenreserve vorhanden ist: Teilaufg. d). 2

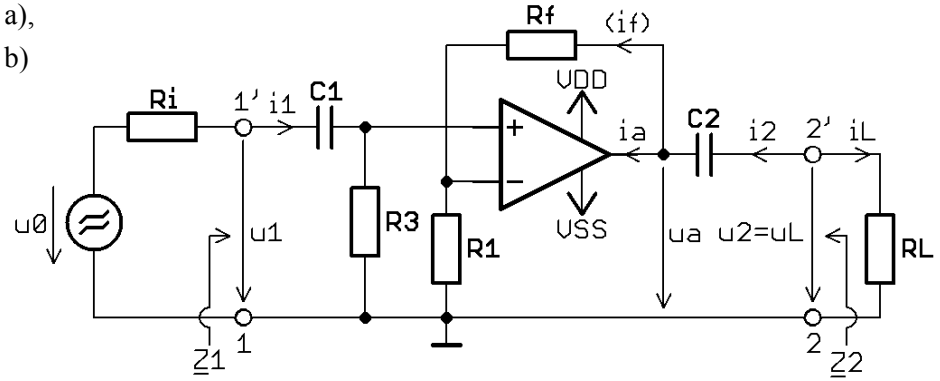
Ja, bei $|v_{UP}| = 1$ beträgt die Phasenreserve mind. ca. 50°, womit der OP auch in der Praxis in vielen Fällen unity-Gain-stable ist.

f*) Durch eine kapazitive Belastung des OP-Ausgangs wird ein Teil der Phasenreserve „aufgebraucht", d.h. φ_M wird kleiner, die Stabilität geringer. 2

2 OP: Nicht-invertierender *u*/*u*-Verstärker 20

a), 6

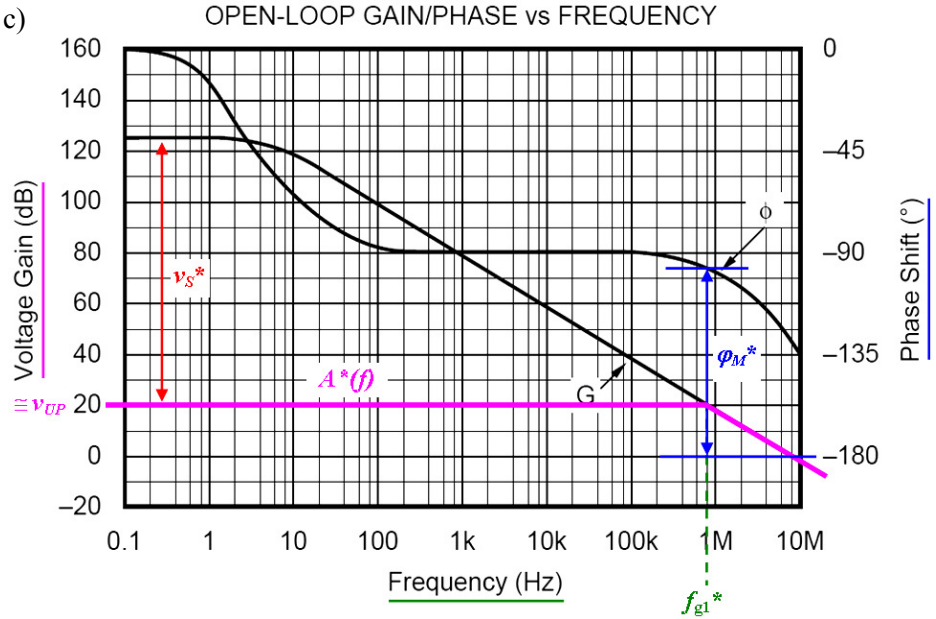
b) 3



Grundschaltung: $Z_1 \to \infty$, deshalb Einbau von R3 für die geforderte endliche Eingangsimpedanz $Z_1 \cong \mathrm{R3} = 47\ \mathrm{k\Omega}$; R3 hat keinen Einfluss auf v_{UP}. (1)

c) 3

(2)



$v_{UP} = A_0^*(f) = 10 \;\to\; v_{UP(\mathrm{dB})} = 20 \cdot \lg(v_{UP})\ \mathrm{dB} = 20 \cdot \lg(10)\ \mathrm{dB} = 20\ \mathrm{dB}$ (1)

2 OP: Nicht-invertierender *u*/*u*-Verstärker (fortgesetzt)

d) – aus Diagramm abgelesen: 3

$$f_{g1}^* = 800\ \text{kHz} \quad (1)$$

$$\varphi_M^* = 83° \quad (2)$$

– f_{g1}* rechnerisch mit *GBP* aus Aufg. 1c):
Spannungsrückkopplung: es gilt $f_{g1}^* \cdot v_{UP} = GBP = f_T$ = konst.

$$\rightarrow f_{g1}^* = \frac{GBP}{v_{UP}} = \frac{8\ \text{MHz}}{10} = 800\ \text{kHz}$$

e) $\boxed{v_{UP} = 1 + \frac{\text{Rf}}{\text{R1}}}$; $v_{UPmin} = 1 \rightarrow \text{Rf} \geq \text{R1} \rightarrow \text{Rf} = 110\ \text{k}\Omega$ 2

$$\text{R1} = \frac{\text{Rf}}{v_{UP} - 1} = \frac{110\ \text{k}\Omega}{10\text{-}1} = 12{,}2\ \text{k}\Omega$$

f*) Ein- und Ausgangswiderstände der Schaltung (Verstärker-Vierpol) verbessern sich um den Gegenkopplunggrad *g* gegenüber dem unbeschalteten OP. Aus dem Diagramm kann die Schleifenverstärkung v_S abgelesen werden. Es ist $g = 1 + v_S$; unterhalb der Grenzfrequenz ist $g \cong v_S$. 3

$$g^*_{(\text{dB})} \cong v^*_{S(\text{dB})} = A_{0(\text{dB})} - v_{UP(\text{dB})} = (125 - 20)\text{dB} = 105\ \text{dB}$$

$$g^* \cong v_S^* = 0{,}178 \cdot 10^6$$

alternativ: $g^* \cong v_S^* = A_0 / v_{UP} = 1{,}78 \cdot 10^6 / 10 = 0{,}178 \cdot 10^6$

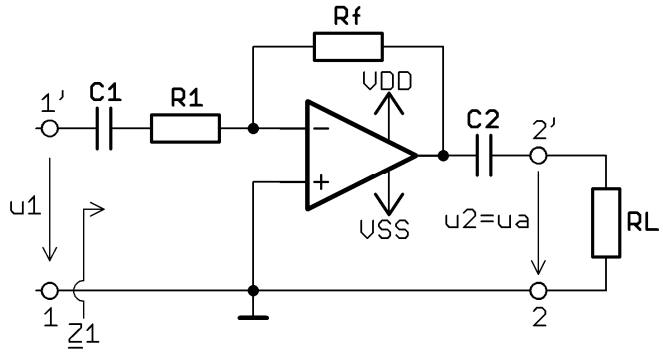
Der Innenwiderstand eines Spannungsausgangs (Spannungsquelle; ideal: 0) wird verbessert, indem er verkleinert wird, es muss also gelten:

$$Z_2 = \frac{r_a'}{g^*} = \frac{1 \cdot 10^3}{0{,}178 \cdot 10^6}\ \Omega \cong 6\ \text{m}\Omega$$

(Ein dermaßen „guter“ Wert hat jedoch eher theoretischen Charakter.)

3 OP: Ausgangsspannungsbereich, Slewrate 10

Bsp.-Schaltung
(nicht gefordert)



a) Audio-Verstärker: Überlagerung harmon. Signale ohne DC-Anteil 6

1. $\hat{U}_{1max}$* bezüglich Output Voltage Range – Parameter (A) (2)

   Maßgeblich ist der betragsmäßig garantierte, also min-Wert:
   $\hat{U}_{2max}$* = 4,7 V.

   $$\hat{U}_{1max*} = \hat{U}_{2max*} / |v_{UP}| = 4{,}7\ \text{V} / |-4{,}7| = 1{,}00\ \text{V}$$

2. $\hat{U}_{1max}$** bezüglich Slewrate *sr* – Parameter (B) (3)

   Maßgeblich sind bez.
   – Bandbreite: höchste enthaltene Frequenz f_{max} = 30 kHz;
   – Slewrate: Betrag des garantierten, also min-Wertes: sr_{min} = 1,2 V/µs.

   $$\hat{U}_{2max**} = \frac{sr_{min}}{2\pi \cdot f_{max}} = \frac{1{,}2\ \text{V} \cdot 10^{+6} \cdot \text{s}^{-1}}{2\pi \cdot 30 \cdot 10^3 \cdot \text{s}^{-1}} = 6{,}37\ \text{V}$$

   $$\hat{U}_{1max**} = \hat{U}_{2max**} / |v_{UP}| = 6{,}37\ \text{V} / |-4{,}7| = 1{,}35\ \text{V}$$

3. Zulässig ist der kleinere Wert der Eingangsamplituden, hier also: (1)

   $$\hat{U}_{1max} = \hat{U}_{1max*} = 1{,}00\ \text{V}$$

b*) – Output Voltage Range, Parameter (A): 4
Clipping;

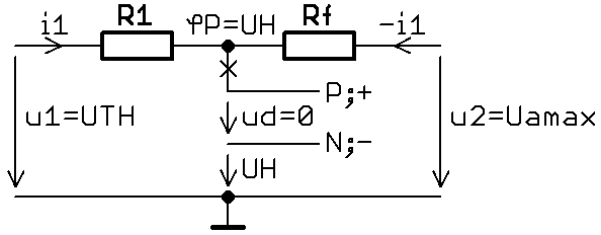
– Slewrate *sr*, Parameter (B):
mit steigender Frequenz wird u_2 immer mehr dreieckförmig.

4 OP: Schmitt-Trigger mit Hilfsspannung 14

a) Nicht-invertierender Schmitt-Trigger (S.T.); damit ist der prinzipielle Verlauf der Übertragungskennlinie [siehe c), d)] gegeben bezüglich 2

$$u_2 = U_{amax\pm} = \begin{cases} U_{amax+} & \text{für } u_1 \geq U_{TH+} \\ U_{amax-} & \text{für } u_1 \leq U_{TH-} \end{cases} \quad (1)$$

b) Im Allg. ist beim S.T. $u_d \neq 0$; 6
Ansatz: S.T. kippt bei Vorzeichenwechsel von u_d → bei $u_d = 0$ ist $u_1 = U_{TH}$



$\{u; i; \varphi\}$ im Moment des „Kippens“ ($u_d = 0$)

Mit $u_2 = U_{amax}$:

$$i_1 = \frac{U_H - U_{amax}}{\text{Rf}} \quad (2)\,; \quad U_{TH} = i_1 \cdot \text{R1} + U_H \quad (3)$$

(3) in (2): $$\boxed{U_{TH} = (U_H - U_{amax}) \cdot \frac{\text{R1}}{\text{Rf}} + U_H} \quad (4)$$

$u_2 = U_{amax+} = +5\text{ V} \rightarrow \underline{U_{TH*}} = [+1\text{ V} - (+5\text{ V})] \cdot 0{,}25 + 1\text{ V} = \underline{0\text{ V}}$

$u_2 = U_{amax-} = -5\text{ V} \rightarrow \underline{U_{TH**}} = [+1\text{ V} - (-5\text{ V})] \cdot 0{,}25 + 1\text{ V} = \underline{+2{,}5\text{ V}}$

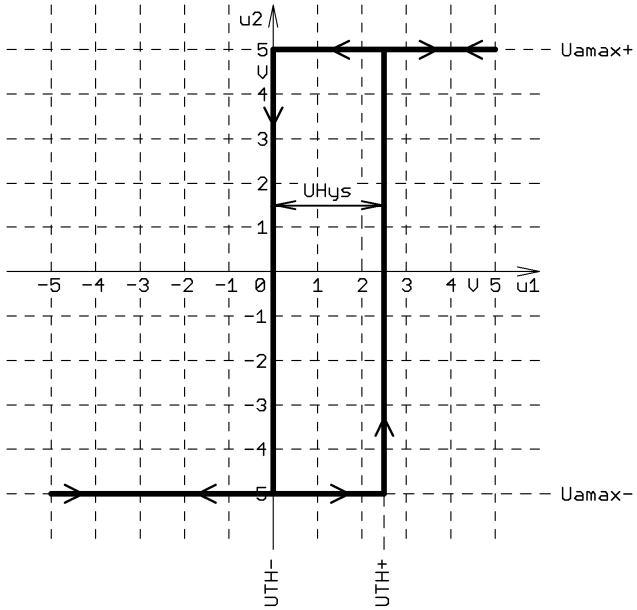
Mit der i.d. Vorlesung eingeführten Nomenklatur $U_{TH+} > U_{TH-}$ (unabhängig, ob inv. oder nicht-inv. S.T.): $\underline{\underline{U_{TH+} = +2{,}5\text{ V};\ U_{TH-} = 0\text{ V}}}$

Alternativ: bei einem „echten“ Schaltvorgang (u_a ändert sich) liegt unmittelbar vorher das jeweils andere Ausgangspotenzial an: $U_{TH+} \leftrightarrow U_{amax-}$; $U_{TH-} \leftrightarrow U_{amax+}$. Damit wird aus (4):

$$\boxed{U_{TH\pm} = (U_H - U_{amax\mp}) \cdot \frac{\text{R1}}{\text{Rf}} + U_H} \quad (4')$$

4 OP: Schmitt-Trigger mit Hilfsspannung (fortgesetzt)

c), 2
d), 2
[e)] (1)



e) $\underline{\underline{U_{Hys}}} = U_{TH+} - U_{TH-} = +2{,}5\text{ V} - 0 = \underline{\underline{2{,}5\text{ V}}}$ 2 (1)

5 MOSFET: Leistungsschalter 14

a) V1 schaltet das niedrigere (weniger positive) Potenzial an die Last: 1
Low-Side-Schalter

b) Es gilt mit Abb. 5.1: $\boxed{U_{GSmin} = U_{GSth,max} + \frac{\Delta I_D}{S_{min}} \quad (1)}$ 6

Aus Tabelle Characteristics ($\vartheta_C = +25°C$): $U_{GSth,max}{}^* = 4\ \text{V}$

Ist V1 hinreichende Zeit „off", ist $\vartheta_J = \vartheta_C = \vartheta_{amb} = -25°C$ [worst-case, siehe Verlauf $U_{GSth(norm)} = f(\vartheta_J)$]. Aus dem Diagramm entnimmt man den Faktor $U_{GSth(norm)}(-25°C) = 1{,}075 \rightarrow U_{GSth,max} = 1{,}075 \cdot 4\ \text{V} = 4{,}3\ \text{V}$

$I_D = +U_B / \text{RL} = 48\ \text{V} / 6{,}86\ \Omega = 7\ \text{A} \rightarrow \Delta I_D = I_D = 7\ \text{A}$

(Test-Condition $I_{D,Test} = 1$ mA)

Aus Tabelle Characteristics: $S_{min} = 7{,}5\ \text{S}$

Mit (1): $U_{GSmin} = 4{,}3\ \text{V} + \frac{7\ \text{A}}{7{,}5\ \text{A/V}} = (4{,}3 + 0{,}933)\text{V} = 5{,}24\ \text{V}$

c) Es gilt unter Vernachlässigung von U_{DSon} (und der daraus resultierenden Abnahme von I_D) im statischen „on"-Zustand: $\boxed{P_{on} = r_{DSon,max} \cdot I_D^2 \quad (2)}$ 4

Aus Tabelle Characteristics ($\vartheta_C = +25°C$): $r_{DSon,max}{}^* = 0{,}270\ \Omega$

Aus dem Diagramm $r_{DSon(norm)} = f(\vartheta_J)$ entnimmt man den worst-case-Wert $r_{DSon,max(norm)}(+110°C) = 1{,}75 \rightarrow r_{DSon,max} = 1{,}75 \cdot 0{,}270\ \Omega = 0{,}473\ \Omega$

Mit (2): $P_{on} = 0{,}473\ \Omega \cdot (7\ \text{A})^2 = 23{,}2\ \text{W}$

d*) r_{DSon} liegt weit oberhalb seines nominellen Werts → stark erhöhte Verlustleistung P_{on}' („linearer Betrieb statt Schalterbetrieb", verbotener Bereich der SOA-Kennlinie). Maximum: r_{DSon}' = RL (Leistungsanpassung), dann ist $P_{on}' = +U_B^2 / (4 \cdot \text{RL})$; hier 84 W. Auch wenn sich dieser extreme Betriebspunkt nicht bzw. nicht dauerhaft (Erwärmung Sperrschicht u.a.) einstellt, besteht die große Gefahr der Zerstörung von V1 durch „Wärmetod". 3

6 CMOS: Logikgatter 14

a)

n-Kanal MOSFET, 3
selbstsperrend (= Anreicherungstyp = Enhancement)

p-Kanal MOSFET,
selbstsperrend (= Anreicherungstyp = Enhancement)

(B = Bulk ist nicht gefordert)

Logikpegel: 0 = VSS, 1 = VDD, Z = hochohmig

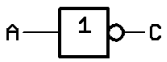
n-Kanal schaltet durch bei G = 1 (→ D = 0, falls S = VSS)
p-Kanal schaltet durch bei G = 0 (→ D = 1, falls S = VDD)

Parallel geschaltete FETs: ODER für den entsprechenden Pegel (0 oder 1)
In Serie geschaltete FETs: U N D für den entsprechenden Pegel (0 oder 1)

b) (Funktionstabellen sind nicht gefordert) 9

b1) (2)

A	p	n	C
0	1	Z	1
1	Z	0	0

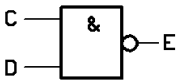


NOT, Inverter

$C = \overline{A}$ usw.

b2) (4)

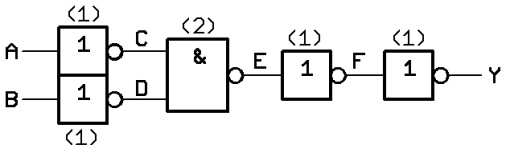
C	D	p	n	E
0	0	1	Z	1
0	1	1	Z	1
1	0	1	Z	1
1	1	Z	0	0

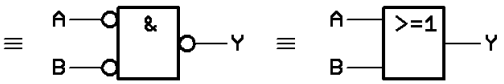


NAND, UND-NICHT

$E = \overline{C \wedge D}$

b3) (3)





OR, ODER

$Y = A \vee B$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

formelmäßig (nicht gefordert): $Y = \overline{\overline{A \wedge B}} = \overline{\overline{A} \wedge \overline{B}}$ deMorgan $= \overline{\overline{A} \wedge \overline{B}} = A \vee B = A \vee B$

6 CMOS: Logikgatter (fortgesetzt)

d) Zum „Buffern“ d. Ein- und Ausgänge. Vergleich mit ungebufferter Serie: 2

+ höhere Eingangsimpedanz, niedrigere Eingangskapazität;
+ bessere Entkopplung der Eingänge untereinander und zum Ausgang;
+ niedrigere und nahezu konstante Ausgangsimpedanz;
+ Verbesserung der Störsicherheit und statischen Pegel;
+ ausgeprägtere und nahezu konstante Flankensteilheit am Ausgang;
+ höhere AC-Verstärkung;
– höhere Verlustleistung (insbes. dynamisch);
– prinzipiell größere Signallaufzeit (in der Praxis überkompensiert durch „Shrinking“);
– mehrfaches Schalten am Ausgang bei Eingangsignalen mit kleiner Anstiegsgeschwindigkeit;
– weniger gut für Anwendungen mit Mitkopplung (Schmitt-Trigger und insbesondere Oszillatoren) geeignet;
– mehr FETs = größere Chipfläche (bei gleichem Integrationsgrad) .

bayerTEC
Elektronik und Nachrichtentechnik

engineering Ingenieurbüro
academics Bildung und Lehre

Weitere Klausuren, Musterlösungen und Materialien zum Selbststudium finden Sie im Internet unter
http://archiv.academics.bayerTEC.de/

www.bayerTEC.de